



(19)

(11) Publication number:

10209399 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09164676

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 H01L 21/285
H01L 21/768 H01L 27/04 H01L 21/822

(22) Application date: 20.06.97

(30) Priority: 22.01.97 KR 97 9701709
(43) Date of application publication: 07.08.98
(84) Designated contracting states:

(71) Applicant: SAMSUNG ELECTRON CO LTD
(72) Inventor: KIN CHINGEN
KO TETSUSEI
RI SONIN
(74) Representative:

(54) CONTACT WIRING
METHOD OF
SEMICONDUCTOR DEVICE
AND MANUFACTURE OF
CAPACITOR BY UTILIZING
THE METHOD

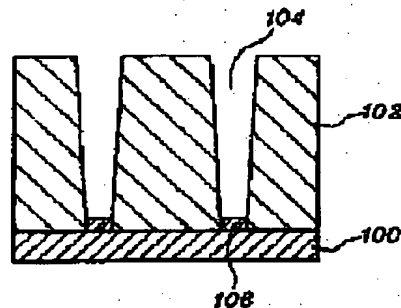
(57) Abstract:

PROBLEM TO BE SOLVED: To improve a DRAM device in capacitor characteristics so as to enhance the reliability of semiconductor device by a method wherein electrode substance is easily filled in a buried contact hole of a high aspect ratio and provided in a highly integrated semiconductor device, and a diffusion-preventive film is protected against oxidation when a capacitor is formed by using a ferroelectric film.

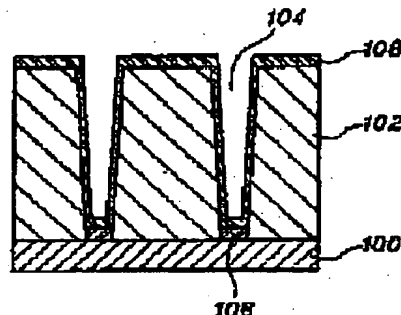
SOLUTION: A first process where a first conductive film 108 and a second conductive film 110 are evaporated on a semiconductor substrate 100, where a buried contact hole 104 is provided, through a CVD method and a PVD method and a second process where the first conductive film 108 and second conductive film 110 are thermally treated at high temperatures to reflow are provided.

COPYRIGHT: (C)1998,JPO

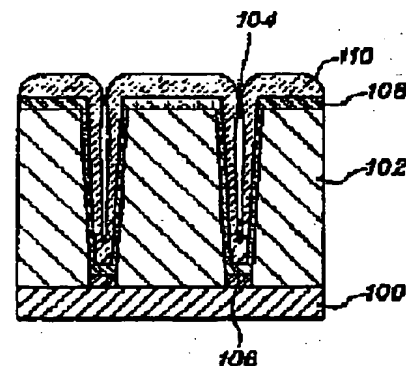
(a)



(b)



(c)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209399

(43) 公開日 平成10年(1998) 8月7日

(51) IntCl.⁸

識別記号

F I

H 0 1 L 27/108
21/8242
21/285
21/768
27/04

3 0 1

H 0 1 L 27/10
21/285
21/90
27/04
27/10

6 2 1 Z
3 0 1 R
D
C
6 5 1

審査請求 未請求 請求項の数18 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平9-164676

(22) 出願日 平成9年(1997) 6月20日

(31) 優先権主張番号 1997 1709

(32) 優先日 1997年1月22日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金 鎮元

大韓民国ソウル市西草區西草洞1641-1番
地韓一アパートバ洞403号

(72) 発明者 ▲黄▼ 哲盛

大韓民国京畿道城南市盆堂區二梅洞 (番地
なし) アルムマウル三好アパート401洞804
号

(72) 発明者 李 相▲忍▼

大韓民国京畿道水原市八達區梅灘 2 洞197
番地東南ビル 9 洞101号

(74) 代理人 弁理士 志賀 正武 (外2名)

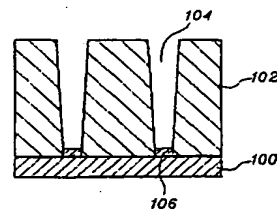
(54) 【発明の名称】 半導体素子のコンタクト配線方法及びこれを利用したキャパシタの製造方法

(57) 【要約】

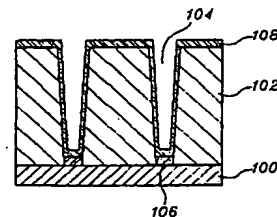
【課題】 高集積化された半導体素子の高い縦横比を持つ埋没コンタクトホール104の内部に容易に電極物質を充填させて、強誘電体材質の誘電体膜を使用してキャパシタを製造する場合発生する拡散防止膜の酸化を防止して、DRAM素子のキャパシタ特性を改善して、半導体素子の信頼性を向上させる。

【解決手段】 埋没コンタクトホール104が形成されている半導体の基板100上にCVD法とPVD法を利用して第1導電性膜108と第2導電性膜110を各蒸着する工程と、前記第1導電性膜108及び第2導電性膜110を高温熱処理して前記第1導電性膜108及び第2導電性膜110をリフローさせる工程とで行われる。

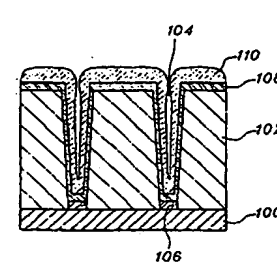
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 埋没コンタクトホールが形成されている半導体基板上に、化学蒸着法と物理蒸着法を利用して第1導電性膜と第2導電性膜を各蒸着する工程と、前記第1導電性膜及び第2導電性膜を高温熱処理して前記第1導電性膜及び第2導電性膜をリフローさせる工程とでなることを特徴とする半導体素子のコンタクト配線方法。

【請求項2】 前記第1導電性膜と第2導電性膜は、白金族元素であるPt, Ru, Rh, Ir, Osとかこれら白金族元素の酸化物の中でいずれの一つで形成されることを特徴とする請求項1記載の半導体素子のコンタクト配線方法。

【請求項3】 前記第1導電性膜は、蒸着温度が350～400℃であり、圧力が1torrであり、10%の酸素が含まれたArガス雰囲気下の反応チャンバ内で蒸着されることを特徴とする請求項1記載の半導体素子のコンタクト配線方法。

【請求項4】 前記第2導電性膜は、蒸着温度が常温～400℃であり、圧力が1～10mtorrであり、Arガス雰囲気下の反応チャンバ内で蒸着されることを特徴とする請求項1記載の半導体素子のコンタクト配線方法。

【請求項5】 前記リフロー工程は、N₂雰囲気下で実施されることを特徴とする請求項1記載の半導体素子のコンタクト配線方法。

【請求項6】 前記高温熱処理は、750℃以上の温度で実施されることを特徴とする請求項1記載の半導体素子のコンタクト配線方法。

【請求項7】 半導体の基板上に、前記基板の表面が所定部分露出されるように埋没コンタクトホールが形成された構造の層間絶縁膜を形成する工程と、前記コンタクトホール内の表面が露出された前記基板上に拡散防止膜を形成する工程と、化学蒸着法で前記コンタクトホール内の拡散防止膜及び前記層間絶縁膜上に第1導電性膜を形成する工程と、物理蒸着法で前記第1導電性膜上に第2導電性膜を形成する工程と、前記第1導電性膜及び第2導電性膜を高温熱処理してリフローさせる工程と、前記第1導電性膜及び第2導電性膜を所定部分蝕刻して“拡散防止膜／リフローされた第1導電性膜及び第2導電性膜”で構成された蓄積ノード電極を形成する工程と、前記蓄積ノード電極を含んだ層間絶縁膜上に誘電体膜を形成する工程と、前記誘電体膜上に第3導電性膜になったプレートノード電極を形成する工程とでなることを特徴とする半導体素子のキャパシタの製造方法。

【請求項8】 前記第1導電性膜～第3導電性膜は、白

金族元素であるPt, Ru, Rh, Ir, Osとかこれら白金族元素の酸化物の中でいずれの一つで形成されることを特徴とする請求項7記載の半導体素子のキャパシタ製造方法。

【請求項9】 前記第1導電性膜は、蒸着温度が350～400℃であり、圧力が1torrであり、10%の酸素が含まれたArガス雰囲気下の反応チャンバ内で蒸着されることを特徴とする請求項7記載の半導体素子のキャパシタの製造方法。

【請求項10】 前記第2導電性膜は、蒸着温度が常温～400℃であり、圧力が1～10mtorrであり、Arガス雰囲気下の反応チャンバ内で蒸着されることを特徴とする請求項7記載の半導体素子のキャパシタの製造方法。

【請求項11】 前記リフロー工程は、N₂雰囲気下で実施されることを特徴とする請求項7記載の半導体素子のキャパシタの製造方法。

【請求項12】 前記高温熱処理は、750℃以上の温度で実施されることを特徴とする請求項7記載の半導体素子のキャパシタの製造方法。

【請求項13】 前記誘電体膜は、BST系、PZT系、PLZT系、STO系の強誘電体物質の中でいずれの一つで形成されることを特徴とする請求項7記載の半導体素子のキャパシタの製造方法。

【請求項14】 前記拡散防止膜は、ケイ化物系の物質とか窒化物系の物質の中でいずれの一つで形成されることを特徴とする請求項7記載の半導体素子のキャパシタの製造方法。

【請求項15】 前記拡散防止膜は、TiSiNとTiNのいずれの一つで形成されることを特徴とする請求項14記載の半導体素子のキャパシタの製造方法。

【請求項16】 前記層間絶縁膜を形成する工程後、前記埋没コンタクトホールの段差を改善するため前記コンタクトホール内の表面が露出された基板上に、多結晶シリコンとかW材質の導電性膜を蒸着する工程をさらに含むことを特徴とする請求項7記載の半導体素子のキャパシタの製造方法。

【請求項17】 前記多結晶シリコンとかW材質の導電性膜を蒸着する場合、“導電性膜／拡散防止膜／リフローされた第1導電性膜及び第2導電性膜”で構成された蓄積ノード電極が形成されることを特徴とする請求項16記載の半導体素子のキャパシタの製造方法。

【請求項18】 半導体の基板上に、前記基板の表面が所定部分露出されるように埋没コンタクトホールが形成された構造の層間絶縁膜を形成する工程と、前記コンタクトホール内の表面が露出された前記基板上にW膜を形成する工程と、

化学蒸着法で前記コンタクトホール内のW膜及び前記層間絶縁膜上に第1導電性膜を形成する工程と、物理蒸着法で前記第1導電性膜上に第2導電性膜を形成

10

20

30

40

50

する工程と、

前記第1導電性膜及び第2導電性膜を高温熱処理してリフローさせる工程と、

前記第1導電性膜及び第2導電性膜を所定部分蝕刻して“W膜/リフローされた第1導電性膜及び第2導電性膜”で構成された蓄積ノード電極を形成する工程と、
前記蓄積ノード電極を含んだ層間絶縁膜上に誘電体膜を形成する工程と、

前記誘電体膜上に第3導電性膜になったプレートノード電極を形成する工程とをなすことを特徴とする半導体素子のキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のコンタクト配線方法及びこれを利用したキャパシタ製造方法に係り、より詳細には、化学蒸着（Chemical Vapor Deposition：以下“CVD”と称する）技術と物理蒸着（Physical Vapor Deposition：以下“PVD”と称する）技術を利用してコンタクト配線及びDRAM（Dynamic Random Access Memory）セルキャパシタ（Cell Capacitor）の蓄積ノード（Storage Node）電極を形成することにより、半導体素子の信頼性が向上されるようにした半導体素子のコンタクト（Contact）配線方法及びこれを利用したキャパシタの製造方法に関するものである。

【0002】

【従来の技術】半導体の記憶素子であるDRAMの単位素子の一つのトランジスタと一つの情報貯蔵キャパシタとで構成されて、情報貯蔵キャパシタの蓄積容量は α -粒子等による誤作動（Soft Error）を防止するため最小30 fF/cell程度の蓄積容量を確保する必要がある。また、現在はDRAM素子の集積度が急速に増加することによって制限されたセル面積内で蓄積容量を増加させるため、下記式（1）からわかるような三つの方法が利用されている。

$$C = \epsilon_0 \epsilon A / d \quad (1)$$

（ここで、C：キャパシタの蓄積容量、 ϵ_0 ：真空の誘電率、 ϵ ：誘電体膜の誘電率、A：キャパシタの面積、d：誘電体膜の厚さ）

【0003】即ち、誘電体膜の厚さを減少させるため薄膜化する方法、キャパシタの有効面積を増加させる方法、誘電率が大きい物質を使用する方法である。この中で誘電体膜の厚さを減少させるため薄膜化する方法は、誘電体膜、例えば、NOとかTa₂O₅の厚さを10 nm以下に薄膜化した場合には、フowler-Nordheim（Fowler-Nordheim）電流により薄膜の信頼性が低下されるから大容量の記憶素子には適用が困難である。

【0004】また、キャパシタの有効面積を増加させる方法は、キャパシタの有効面積を増加させるためキャパシタを3次元構造で製造しているが、これは製造工程が

複雑で工程単価が増加する欠点があった。即ち、集積度の向上のため積層（Stack）形、トレンチ（Trench）形、ピン（Pin）形及び円筒形（Cylinder）キャパシタセルのような3次元構造が考案され4MB DRAM及び16MB DRAMに適用されているが、64MB DRAM及び256MB DRAMを境界としてその限界が明らかになっている。

【0005】また、トレンチ形キャパシタでは、スケールリングダウン（Scaling Down）作業の進行によるトレンチ間の漏れ電流の問題が発生して、積層形とピン形及び円筒形セルでは大きい蓄積容量を得るため表面にはげしい屈曲と段差（Step Coverage）を形成するから、後続工程の写真（Photolithography）蝕刻作業が困難であるだけではなく、薄くなったピンとか円筒の機械的強度が低下され工程進行が困難になる。誘電率が大きい物質を使用する方法では、従来は、既存のNO膜に比して誘電率が高い高誘電率材料として、酸化イットリウム（Y₂O₃）、酸化タンタル（Ta₂O₅）、二酸化チタン（TiO₂）等が用いられたが、最近では、PZT（Pb（Zr, Ti）O₃）とかBST（BaSrTi）のような強誘電体物質が主に用いられている。

【0006】強誘電体物質は、自発分極を持ち、誘電率が数百から1,000程度である物質として、このような強誘電体を誘電膜で使用する場合には、前記強誘電体を数十nmの厚い膜で形成しても等価酸化膜の厚さ（Equivalent Oxide Thickness）を1 nm以下で製作した場合と同一の効果が得られる。前記強誘電体の物質の中で特にBSTは、PZTに比して高周波でも高誘電率が維持でき、適切なBa/Srの比率によって常誘電体に変換されるため、疲労（Fatigue）、老化（Aging）等の現象が除去されDRAMキャパシタ用高誘電率材料として適合である。

【0007】通常時に、半導体素子に利用される高誘電率の材料、例えば、BSTを集積するため使用された方法としては、スパッタリング（Sputtering）法、有機金属化学気相蒸着（Metal-Organic Chemical Vapor Deposition：MOCVD）法、回転塗布（Spin Coating）法、噴霧蒸着（Aerosol）法等が挙げられる。特に、この中でも蒸着が容易で再現性も優秀な、スパッタリング法がよく使用されている。

【0008】しかし、このBST材質の誘電体膜は、多結晶シリコン材質の蓄積ノード電極に直接蒸着して使用できないから、前記BSTを利用してDRAM素子のキャパシタを製造しようとする場合には新しい電極及び電極構造が要求される。このように新しい電極及び電極構造が要求される理由は、前記BSTが多結晶シリコン材質の蓄積ノード電極の上にスパッタリングされる時酸素雰囲気下で工程が進行されるから、この過程で多結晶シリコンの表面の一部が酸化され所定厚さのSiO₂膜（酸化膜）が形成されることにより、キャパシタの製造を完

了した後のBST薄膜の誘電率が低下されるだけでなく半導体素子のキャパシタ特性が低下されるためである。

【0009】したがって、強誘電体物質であるBSTを使用してDRAM素子のキャパシタを製造しようとする場合には、多結晶シリコン材質の蓄積ノード電極の代わりに“導電性プラグ(Plug)/拡散防止膜(Diffusion Barrier)/Pt膜”で構成された蓄積ノード電極が利用されている。

【0010】しかし、スパッタリング法で蒸着されたBST膜は、基本的に段差が不良して蓄積ノード電極の側面に均一に蒸着されないからこの部分を通じて100nA/cm²以上の漏れ電流が発生しやすい短点があった。また、前記BST膜を蒸着する際利用されるスパッタリング工程は、高温の酸素雰囲気下で工程が進行されるため工程進行中に“導電性プラグ/拡散防止膜/Pt電極”になった蓄積ノード電極の側面を通して酸素が拡散され拡散防止膜の酸化が発生されるから、BSTを利用したキャパシタの製作が不可能であった。

【0011】したがって、最近にはこのような現象を防止するため蓄積ノード電極の側面をSiO₂膜とかその他の絶縁膜、例えば、Si₃N₄等で塗布して障壁金属膜を保護する構造が一般化になっている。

【0012】図3(a)～図3(c)及び図4(d)、図4(e)は、前記のような構造を持つ半導体素子のキャパシタの製造方法を示す工程手順図である。前記工程手順図を参照してその製造方法について具体的に説明する。まず、図3(a)に図示されるように、半導体基板10上に層間絶縁膜12を形成して、前記層間絶縁膜12内に蓄積ノード電極を形成するためのコンタクトホールを定義するため前記層間絶縁膜12上に感光膜パターン(図示せず)を形成する。その後、図3(b)に図示されるように、前記感光膜パターン(Pattern)をマスク(Mask)として利用し、前記半導体基板10の表面が所定部分露出されるように層間絶縁膜12を蝕刻して前記層間絶縁膜12内に埋没コンタクトホールを形成して、前記感光膜パターンを除去する。それから、前記コンタクトホール(Contact Hole)の内部が充分に充填されるように表面が露出された半導体基板10の上部と層間絶縁膜12上に、電極物質を利用して第1導電性膜14aを形成する。この時、前記第1導電性膜14aとしては多結晶シリコン(Silicon)が用いられる。

【0013】次に、図3(c)に図示されるように、前記第1導電性膜14aをエッチバック(Etch back)して導電性プラグ14bを形成して、図2(d)に図示されるように、前記導電性プラグ14bと層間絶縁膜12の上に所定厚さの拡散防止膜16を蒸着した後、電極物質を利用して前記拡散防止膜16上に第2導電性膜18を蒸着する。この時、前記第2導電性膜18としてはPtが用いられる。

【0014】次に、図2(e)に図示されるように、蓄積ノード電極を形成するため前記第2導電性膜18の上に感光膜パターン(図示せず)を形成して、これをマスクで利用してその下部の第2導電性膜18と拡散防止膜16を蝕刻してから、前記感光膜パターンを除去する。その結果、“導電性プラグ14b/拡散防止膜16/Pt膜18”で構成された蓄積ノード電極19が形成される。

【0015】以後、前記拡散防止膜16の酸化現象を防止するため、前記蓄積ノード電極19が充分に塗布されるように前記層間絶縁膜12上に絶縁膜であるSiO₂とかSi₃N₄を蒸着して異方性乾式蝕刻工程とか化学的練磨及び鏡面化(Chemical Mechanical Polishing:以下、CMPと称する)工程を利用して前記絶縁膜を蝕刻して、蓄積ノード電極19の側面に絶縁膜材質の側壁スペーサ(Spacer)20を形成する。その結果、前記蓄積ノード電極19の側面が絶縁膜であるSiO₂とかSi₃N₄により塗布される構造になって、以後BST膜をスパッタリング法で蒸着しても障壁金属膜16が酸化されなくなる。

【0016】次に、前記蓄積ノード電極19の上面と側壁のスペーサ20を含んだ層間絶縁膜12上にスパッタリング法で誘電体膜であるBST膜(図示せず)を蒸着して、電極物質を利用して前記BST膜上に第3導電性膜を蒸着してプレート(Plate)ノード電極を形成して、DRAMセルのキャパシタ製造を完了する。この時、前記第3導電性膜としてはPtが用いられる。

【0017】一方、拡散防止膜を保護する他の方法としては、半導体基板上に前記基板の表面が所定部分露出されるように埋没コンタクトホールが形成された構造の層間絶縁膜を形成して、この埋没コンタクトホールの内部の表面が露出された基板上に拡散防止膜を所定厚さで形成した後、前記コンタクトホールの内部の拡散防止膜と層間絶縁膜との上に電極物質であるPtを蒸着してキャパシタの蓄積ノード電極を製造する方法がある。

【0018】このような方式で蓄積ノード電極を形成すると、BSTをスパッタリング法で蒸着させる時、蓄積ノード電極を構成するPt膜の上面と側面を通して拡散して入る酸素の拡散距離が長くなるから拡散防止膜の酸化を防ぐことが可能になる。この時、前記Pt膜はCVD法を利用した蒸着工程でも形成でき、Pt膜を蒸着した後所定温度でリフロー(Reflow)する工程を利用しても形成できる。

【0019】

【発明が解決しようとする課題】しかし、前記蓄積ノード電極の側面を絶縁膜で塗布して障壁金属膜の形成を保護する構造は、キャパシタの形成時、誘電体膜であるBST膜を蒸着する前に拡散防止膜16の酸化を防止するため蓄積ノード電極19の側面に絶縁膜材質の側壁スペーサ20をさらに形成する必要があるから工程が複雑

で、これにより製造単価が高価になる欠点があった。

【0020】また、前述の拡散防止膜を保護するための他の方法で半導体素子のキャパシタを製造すると、蓄積ノード電極を構成するPt膜の形成時利用されるCVD工程がまだ量産化された技術ではなく、また、CVD法で形成されたPt電極はPVD法で形成されたPt膜に比して純度が低だけでなく蒸着膜の表面も粗いから、キャパシタの特性の低下を誘発するようになって半導体素子の信頼性が低下される欠点があった。

【0021】したがって、本発明の第1の目的は、CVD技術とPVD技術を利用した2段階の薄膜蒸着工程により電極物質である導電性膜を蒸着してこれをリフローさせることにより、大きい縦横比を持つ高集積化された半導体素子の埋没コンタクトホール内部に電極物質が容易に充填できるようにした半導体素子のコンタクト配線方法を提供することである。

【0022】本発明の第2の目的は、前記2段階の薄膜蒸着工程及びリフロー工程を利用してDRAMセルキャパシタの蓄積ノード電極を形成することにより、半導体素子のキャパシタ特性が向上されるようにした半導体素子のキャパシタ製造方法を提供することである。

【0023】

【課題を解決するための手段】 前述の第1の目的を達成するための本発明の特徴によると、埋没コンタクトホールが形成されている半導体基板（または絶縁基板）上にCVD法とPVD法を利用して第1導電性膜と第2導電性膜を各蒸着する工程と、前記第1導電性膜及び第2導電性膜を高温熱処理して前記第1導電性膜及び第2導電性膜をリフローさせる工程とでなる半導体素子のコンタクト配線方法が提供される。

【0024】 前述の第2の目的を達成するための本発明の特徴によると、半導体基板上に、前記基板の表面が所定部分露出されるように埋没コンタクトホールが形成された構造の層間絶縁膜を形成する工程と、前記コンタクトホール内の表面が露出された前記半導体基板上に拡散防止膜を形成する工程と、化学蒸着法で前記コンタクトホール内の拡散防止膜及び前記層間絶縁膜上に第1導電性膜を形成する工程と、物理蒸着法で前記第1導電性膜上に第2導電性膜を形成する工程と、前記第1導電性膜及び第2導電性膜を高温熱処理してリフローさせる工程と、前記第1導電性膜及び第2導電性膜を所定部分蝕刻して“拡散防止膜／リフローされた第1導電性膜及び第2導電性膜”で構成された蓄積ノード電極を形成する工程と、前記蓄積ノード電極を含んだ層間絶縁膜上に誘電体膜を形成する工程と、前記蓄積ノード電極を含んだ層間絶縁膜上に誘電体膜を形成する工程と、前記誘電体膜上に第3導電性膜材質になったプレートノード電極を形成する工程とでなる半導体素子のキャパシタの製造方法が提供される。

【0025】 この時、前記半導体素子のキャパシタの製

造方法は、前記埋没コンタクトホールの段差特性を向上させるため、前記層間絶縁膜に埋没コンタクトホールを形成した後、表面が露出された基板上に多結晶シリコンとかW材質の導電性膜で埋没コンタクトホールの一部を充填して、その後、拡散防止膜を形成する方式で工程が進行できる。また、前記Wで埋没コンタクトホールの一部を充填した場合には、拡散防止膜の形成工程をスキップ（Skip）することも可能であるが、この場合には“W膜／リフローされた第1及び第2導電性膜”で構成された蓄積ノード電極が形成される。

【0026】 ここで、前記第1導電性膜～第3導電性膜は、白金族元素であるPt, Ru, Rh, Ir, Osとかこれら白金族元素の酸化物の中でいずれの一つで形成されて、誘電体膜としてはBST系、PZT系、PLZT（Pb（La, Zn）TiO₃）系、STO（SrTiO₃）系の強誘電体物質が用いられる。また、前記拡散防止膜としてはケイ化物（Silicide）系とか窒化物（Nitride）系の物質が用いられるが、好ましくはTiSiNとかTiN等が用いられる。

【0027】 前記第1導電性膜は、蒸着温度が350～400℃であり、圧力が1torrであり、10%の酸素が含まれたArガス雰囲気下の反応チャンバ内で蒸着が行われて、第2導電性膜は、蒸着温度が常温～400℃であり、圧力が1～10mtorrであり、Arガス雰囲気下の反応チャンバ内で蒸着が行われる。また、前記第1導電性膜及び第2導電性膜をリフローする工程は、N₂雰囲気下の750℃以上の高温で熱処理することにより可能になる。このような工程を進行すると、強誘電体材質の誘電体膜を使用してキャパシタを製造する過程で発生する拡散防止膜の酸化が防止できるようになってキャパシタ特性が向上されるだけでなく、高集積化された半導体素子の信頼性も向上される。

【0028】

【発明の実施の形態】 以下、添付図面を参照して本発明の好ましい実施の形態について詳細に説明する。本発明はDRAM素子の蓄積容量を増加させるための一つの方法として、強誘電体材質（例えば、BST系、PZT系、PLZT系、STO系）の誘電体膜を使用してキャパシタを製造する場合発生する拡散防止膜の酸化を防止して、記憶素子の信頼性を向上させる技術である。これを図1（a）～図1（c）及び図2（d）、図2（e）に図示された工程手順図を参照して具体的に説明すると次のようになる。

【0029】 まず、図1（a）に図示されるように、半導体基板100上に層間絶縁膜102を蒸着して、前記層間絶縁膜102上に感光膜（図示せず）を蒸着した後、蓄積ノード電極を形成するための埋没コンタクトホールを定義するため前記感光膜を選択蝕刻して感光膜パターン（図示せず）を形成する。前記感光膜パターンをマスクで利用して前記半導体基板100の表面が所定部

分露出されるように層間絶縁膜102を蝕刻して層間絶縁膜102に埋没コンタクトホール104を形成して、前記感光膜パターンを除去する。それから、前記コンタクトホール104内の表面が露出された前記半導体基板100上に拡散防止膜106を形成して前記コンタクトホールの一部を充填する。この時、前記拡散防止膜106としてはケイ化物系の物質とか窒化物系の物質が用いられるが、好ましくはTiSiNとかTiNが用いられる。

【0030】その後、図1(b)に示すように、段差特性(ステップカバレッジ)が優秀なCVD法を利用して前記コンタクトホール104内の拡散防止膜106と前記層間絶縁膜102上に電極物質である第1導電性膜108を蒸着する。この時、前記第1導電性膜108は蒸着温度が350~400℃であり、圧力が1torrであり、10%の酸素が含まれたArガス雰囲気下の反応チャンバ内で蒸着が行われる。前記第1導電性膜108としては白金族元素であるPt, Ru, Rh, Ir, Osが主に用いられるが、これら白金族元素の酸化物で形成しても良い。

【0031】次に、図1(c)に図示されるように、PVD法、例えば、スパッタリング法を利用して前記第1導電性膜108上に電極物質である第2導電性膜110を蒸着する。この時、前記第2導電性膜110は蒸着温度が常温~400℃であり、圧力が1~10mtorrであり、Arガス雰囲気下の反応チャンバ内で蒸着が行われる。前記第2導電性膜110としては白金族元素であるPt, Ru, Rh, Ir, Osが主に用いられるが、これら白金族元素の酸化物で形成しても良い。

【0032】次に、図2(d)に図示されるように、前記第1導電性膜108及び第2導電性膜110をN₂雰囲気下で750℃以上の高温で熱処理して前記第1導電性膜108及び第2導電性膜110をリフローさせ、前記コンタクトホール104の内部を充填させる。この時、前記リフロー工程は下地膜依存性を示すから、第1導電性膜108と第2導電性膜110とを同種の電極物質で形成するとリフロー工程が容易になる。ここで、電極物質である第1導電性膜108と第2導電性膜110を形成する時、CVD法は蒸着速度が遅く蒸着膜の表面がPVD法を利用した場合より粗いため、キャパシタの特性が低下されて最終的には半導体素子の信頼性が低下されるから、これを防止するためCVD法とPVD法及びリフロー工程を共に使用してコンタクトホールを充填させる。

【0033】次に、図2(e)に図示されるように、リフローされた前記第2導電性膜110上の蓄積ノード電極が形成される部分に感光膜パターン(図示せず)を形成して、前記感光膜パターンをマスクで利用してリフローされた前記第2導電性膜110とその下部の第1導電性膜108を蝕刻した後、前記感光膜パターンを除去す

る。その結果、“拡散防止膜106/リフローされた第1導電性膜108/リフローされた第2導電性膜110”で構成された蓄積ノード電極112が形成される。

【0034】このように蓄積ノード電極112を形成すると、拡散防止膜106が埋没コンタクトホールの内部に形成されて、強誘電体物質をスパッタリング法で蒸着して誘電体膜を形成する時、蓄積ノード電極112を構成するリフローされた第1導電性膜108と第2導電性膜110の上面と側面を通して拡散して入る酸素の拡散距離が長くなるから拡散防止膜106の酸化が防止される。

【0035】その後、前記蓄積ノード電極112を含んだ層間絶縁膜102上にスパッタリング法を利用して誘電体膜(図示せず)を形成して、前記誘電体膜上に第3導電性膜(図示せず)材質のプレートノード電極を形成して、本工程を完了する。この時、前記誘電体膜はBST系、PZT系、PLZT系、STO系の強誘電体物質の中でいずれの一つで形成されて、前記プレートノード電極を構成する第3導電性膜は白金族元素であるPt, Ru, Rh, Ir, Osとかこれら白金族元素の酸化物で形成される。

【0036】一方、前記工程は前記埋没コンタクトホール104の段差特性を改善するため図1(a)での層間絶縁膜102の形成工程後拡散防止膜106を形成する前に、前記コンタクトホール104内の表面が露出された基板100上に多結晶シリコンとかW材質の導電性膜(図示せず)をさらに蒸着してコンタクトホールの一部を充填させて工程を進捗することもできる。このように導電性膜をさらに蒸着させる場合には“導電性膜/拡散防止膜/リフローされた第1導電性膜及び第2導電性膜”になった構造の蓄積ノード電極が形成される。この時、前記導電性膜としてWを蒸着する場合にはWと白金族元素とかが相互溶解されないから後続の工程である拡散防止膜106の蒸着工程をスキップしても良い。このように拡散防止膜106の蒸着工程をスキップする場合には“導電性膜/リフローされた第1導電性膜及び第2導電性膜”になった蓄積ノード電極が形成される。

【0037】また、CVD技術とPVD技術を利用した2段階薄膜蒸着工程で電極物質である導電性膜を蒸着した後、これら導電性膜をリフローさせる本技術は、半導体素子のキャパシタの製造以外にも、大きい縦横比を持つ高集積化された半導体素子の埋没コンタクトホールの内部に導電性物質を充填する一般的な半導体素子の製造工程にも適用できる。例えば、埋没コンタクトホールが形成されている半導体基板(または絶縁基板)上にCVD法とPVD法を利用して第1導電性膜と第2導電性膜を各々蒸着して、前記第1導電性膜及び第2導電性膜を高温熱処理して前記第1導電性膜及び第2導電性膜をリフローさせてコンタクトホールを充填する工程が挙げられる。

【0038】

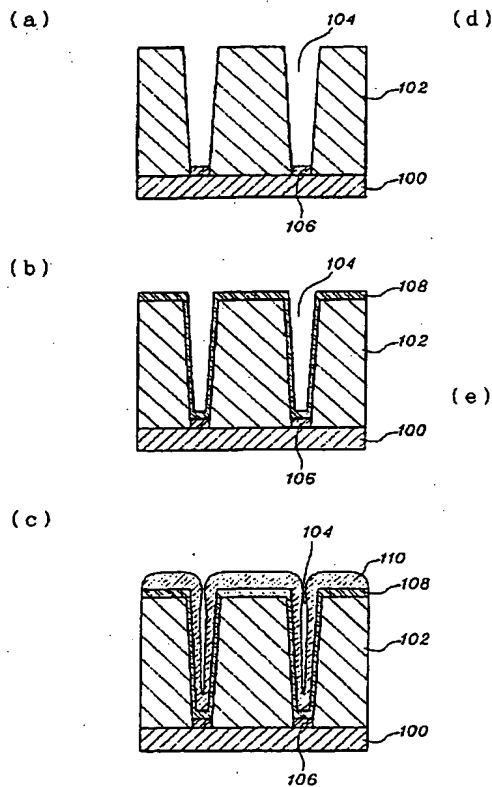
【発明の効果】 以上のように本発明によると、高集積化された半導体素子の高い縦横比を持つ埋没コンタクトホール内部にも容易に電極物質を充填でき、蓄積ノード電極を構成する拡散防止膜が埋没コンタクトホール内部に形成されることにより、強誘電体材質の誘電体膜を使用してキャパシタを製造する場合発生する拡散防止膜の酸化が防止できるだけでなく、DRAM素子のキャパシタ特性の改善が可能になって、半導体素子の信頼性が向上される。

【図面の簡単な説明】

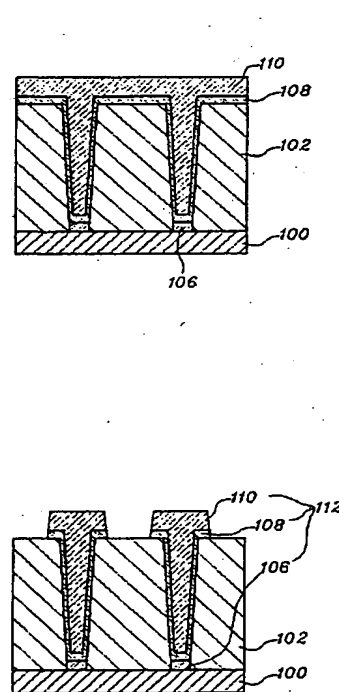
【図1】 本発明による半導体素子のキャパシタの製造方法の一実施の形態として示した工程手順図である。

【図2】 本発明による半導体素子のキャパシタの製造方法の一実施の形態として示した工程手順図であり、図1の後続工程を示したものである。

【図1】



【図2】



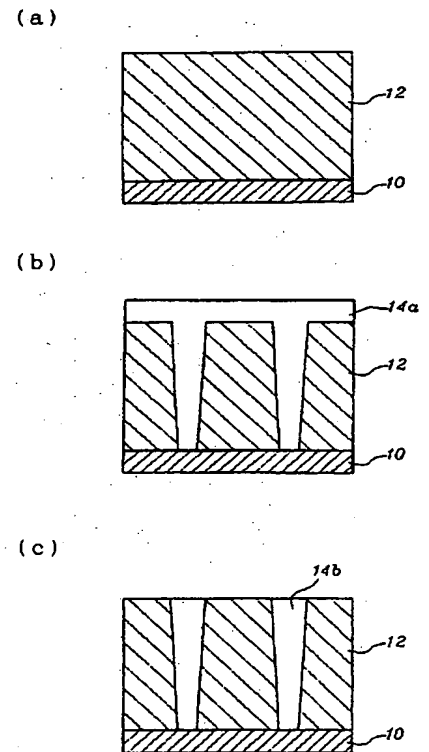
【図3】 従来技術による半導体素子のキャパシタの製造方法を示す工程手順図である。

【図4】 従来技術による半導体素子のキャパシタの製造方法を示す工程手順図であり、図3の後続工程を示したものである。

【符号の説明】

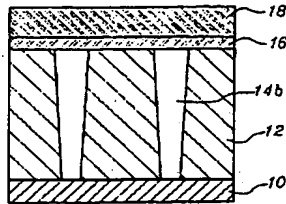
- 10, 100: 半導体基板
- 12, 102: 層間絶縁膜
- 14a, 108: 第1導電性膜
- 14b: 導電性プラグ
- 16, 106: 拡散防止膜
- 18, 110: 第2導電性膜
- 19, 112: 蓄積ノード電極
- 20: 側壁スペーサ
- 104: 埋没コンタクトホール

【図3】

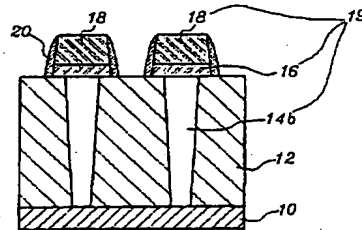


【図4】

(d)



(e)



フロントページの続き

(51) Int. Cl.⁶
H 0 1 L 21/822

識別記号

F I